

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-44051

(43)公開日 平成 6 年(1994) 2 月18日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 7/58

15/78

識別記号

庁内整理番号

F I

技術表示箇所

A 9188-5B

5 1 0 G 7323-5L

審査請求 未請求 請求項の数 2 (全 5 頁)

(21)出願番号

特願平4-199336

(22)出願日

平成 4 年(1992) 7 月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 松川 修二

東京都港区芝五丁目 7 番 1 号日本電気株式  
会社内

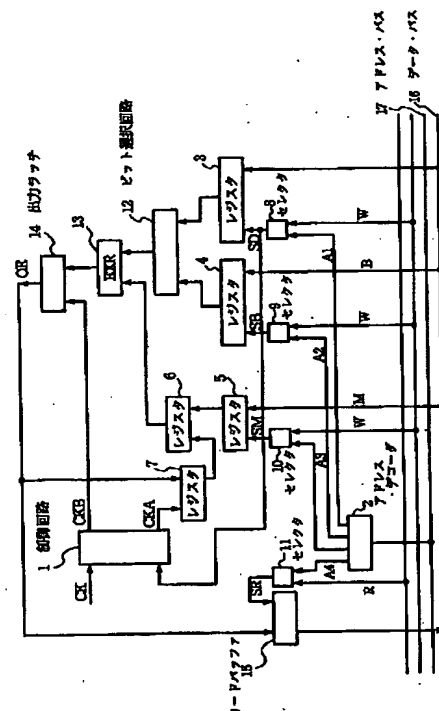
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【目的】 畳込み符号器やランダム信号発生器等に用いる  
リニアフィードバックシフトレジスタを高速に実現でき  
る手段を内蔵する。

【構成】 1 語分の演算対象データを格納するレジスタ 3  
を備える。レジスタ 3 からの上記演算対象データの構成  
ビットをビット毎に指定して選択したビット選択データ  
を出力するビット選択回路 1 2 を備える。上記ビット選  
択データの全ての選択ビットの排他的論理和を同時に演  
算する E X R 1 3 を備える。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 予め定めたビット長の1語分の演算対象データを格納するデータレジスタと、

前記データレジスタからの前記演算対象データの構成ビットをビット毎に指定して選択した少なくとも1ビットの選択ビットから成るビット選択データを出力するビット選択手段と、

前記ビット選択データの全ての前記選択ビットの排他的論理和を同時に演算する排他的論理和演算手段とを備えることを特徴とするマイクロコンピュータ。

【請求項2】 前記排他的論理和演算手段の演算結果データを一時格納し、命令の指定により前記データレジスタからの前記演算対象データに前記演算結果データを付加することを可能とする補助レジスタを備えることを特徴とする請求項1記載のマイクロコンピュータ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はマイクロコンピュータに関し、特に畳み込み符号器や、ランダム信号発生器等に使用されるリニアフィードバックシフトレジスタを高速に実現できる手段を内蔵したマイクロコンピュータに関する。

## 【0002】

【従来の技術】従来の技術を説明するにあたって、まず、図3に示す11段構成のリニアフィードバックシフトレジスタの構成および動作について説明する。

	b7	b6	b5	b4	b3	b2	b1	b0
アドレス1	X11	X10	X9	X8	X7	X6	X5	X4
アドレス2	X3	X2	X1	0	0	0	0	0
アドレス3	0	0	0	X0	0	0	0	0
アドレス4								

【0006】次に、同様の手順でデータX10を取り出し、その結果を前回のデータX0とおなじビット4の位置にそろえ、EXRE1によりデータX0と排他的論理和演算してその結果のデータを上記メモリのアドレス3に格納する。同様の処理を、データX9、X7、さらにアドレス2に配置した下位バイトのデータX2についても行い、それぞれEXRE2～E4による排他的論理和演算によりフィードバックデータDFを算出する。EXRE5により求めたフィードバックデータDFとつぎの入力データISとの排他的論理和をとり、そのビット以外を"0"とし、アドレス2のデータと論理和演算を行い結果データX0をアドレス2に再度格納する。つぎに下位バイトの最上位ビットデータX3を取り出し、その

【0003】まず、シリアル入力信号ISは、入力端子から、クロックCKに同期して順次縦続接続されたレジスタR1～R11で構成されるシフトレジスタ201に入力される。排他的論理和回路(EXR)E1～E5は、レジスタR11、R10、R9、R7、R2の出力データの排他的論理和を生成しフィードバックデータとする。EXRE5は、フィードバックデータと入力データISとの排他的論理和を生成しレジスタR1への入力データとする。

10 【0004】次に、従来の8ビットマイクロコンピュータで、上記の11段リニアフィードバックシフトレジスタをプログラムで実現する場合の例を表1のメモリ配置を参照して説明する。まず上記メモリ内に、リニアフィードバックシフトレジスタ201の各レジスタR1～R11のデータX11～X1を2バイトに分割してデータX11～X4をアドレス1に、データX3～X1をアドレス2にそれぞれ配置する。アドレス2の他のビットは0のままである。つぎに、アドレス1に配置した上位バイトのデータX11～X4を読みだし、16進数80  
20 (以降80Hと記す)との論理積演算によってデータX11を取り出す。取出したデータX11をビット4の位置まで3ビット右シフト処理し、上記メモリのアドレス3にデータX0として一時格納する。

## 【0005】

## 【表1】

データX3を上位バイトのデータを1ビット左シフトした最下位ビットに付加し、その結果をアドレス1に格納する。下位バイトのデータを読みだし、1ビット左シフトし結果をアドレス2に格納するというものであった。

## 【0007】

【発明が解決しようとする課題】上述した従来のマイクロコンピュータは、1語中に含まれる複数の指定ビットを同時に排他的論理和演算する手段は有していないため、リニアフィードバックレジスタを実現するためには、各ビットデータの取り出し、複数ビットの排他的論理和演算に備えたビット位置合わせを全て個別の論理演算命令を組み合わせさせて実行する必要があり、処理速度が遅くプログラムステップ数が大きくなることにより、他

## 3

の処理を阻害するという欠点があった。

【0008】

【課題を解決するための手段】本発明のマイクロコンピュータは、予め定めたビット長1語分の演算対象データを格納するデータレジスタと、前記データレジスタからの前記演算対象データの構成ビットをビット毎に指定して選択した少なくとも1ビットの選択ビットから成るビット選択データを出力するビット選択手段と、前記ビット選択データの全ての前記選択ビットの排他的論理和を同時に演算する排他的論理和演算手段とを備えて構成されている。

【0009】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0010】図1は本発明のマイクロコンピュータの一実施例を示すブロック図である。

【0011】本実施例のマイクロコンピュータは、図1に示すように、主クロックCKを基にレジスタ7に排他的論理和演算結果OEを保持するためのクロックCKAと出力バッファ14に排他的論理和演算結果OEを保持するためのクロックBとを生成する制御生成回路1と、アドレスデータAをデコードしデコード信号A1～A4を出力するアドレスデコーダ2と、データレジスタ選択信号SDに同期してデータバス16から排他的論理和演算の対象データを入力し保持するデータ用のレジスタ3と、ビットレジスタ選択信号SBに同期して排他的論理和演算の対象データに対するビット位置指定を行なうビット選択信号Bを入力し保持するビット用のレジスタ4と、モードレジスタ選択信号SMに同期してセクタ6の動作を選択するモード選択信号Mをデータバス16から入力し保持するモード用のレジスタ5と、レジスタ7に格納されている前回の排他的論理和演算結果を今回の排他的論理和演算に加えるか否かを指定するセクタ6と、前回の排他的論理和演算結果を保持する補助用のレジスタ7と、デコード信号A1とライト信号Wとからデータレジスタ選択信号SDを生成するセクタ8と、デコード信号A2とライト信号Wとからビットレジスタ選択信号SBを生成するセクタ9と、デコード信号A3とライト信号Wとからモードレジスタ選択信号SMを生成するセクタ10と、デコード信号A4とリード信号Rとからリードバッファ選択信号SRを生成するセクタ11と、レジスタ3からの演算対象データのうちレジスタ4で指定された位置のビットデータのみをEXR13に出力するビット選択回路12と、多入力排他的論理和ゲートで構成された排他的論理和回路(EXR)13と、排他的論理和演算結果を一時保持する出力ラッチ14と、排他的論理和演算結果をリードバッファ選択信号SRに同期してデータバス16に読出すためのリードバッファ15と、データバス16と、アドレスバス17とを備えて構成されている。

## 4

【0012】次に、本実施例の動作にていて説明する。

【0013】図2は、本実施例の動作の一例を示すフローチャートである。

【0014】まず、演算対象であるリニアフィードバックシフトレジスタがデータ用のレジスタ3の語長より長い場合には、モード用のレジスタ5を補助用のレジスタ7の有効と設定し(ステップS1、S2)、レジスタ3の語長より短い場合にはレジスタ7の無効と設定する(ステップS14)。次に、レジスタ3に上記リニアフィードバックシフトレジスタの最上位語を書込み(ステップS3)、続いてビット用のレジスタ4に最上位語のフィードバック出力パターンを書込む(ステップS4)。レジスタ4は、レジスタ3に格納されたデータのうち、レジスタ4で指定されたビットのデータのみをEXR13に伝達する。レジスタ5がレジスタ7の有効と設定されている場合には、レジスタ7のデータ1ビットもEXR13に伝達される。EXR13は、ビット選択回路12及びセクタ6から入力された全ビットのデータ同士に対する排他的論理和演算を行う。排他的論理和演算結果EOは出力ラッチ14に一旦保持される。また、レジスタ5がレジスタ7の有効と設定されている場合には、排他的論理和演算結果EOが含まれる該当ビットの排他的論理和演算が終了する(ステップS5)。

【0015】次に、上記リニアフィードバックシフトレジスタ最上位語の左1ビットシフト処理、およびシフト後の最下位ビットへの次ぎの語の最上位ビット書込みマイクロコンピュータのプログラムで実行する。上記リニアフィードバックシフトレジスタがレジスタ3の語長より長い場合は、この処理を最上位語から最下位語まで繰り返すことによって最後に出力ラッチ14に保持されるデータは、上記リニアフィードバックシフトレジスタの該当ビットすべてに対する排他的論理和演算結果EOとなる(ステップS6～S13)。

【0016】最後に、その演算結果と新たな入力データとの排他的論理和演算結果を上記リニアフィードバックシフトレジスタの最下位ビットに付加して1ビットの入力に対する演算処理が終了する。

【0017】以上、本発明の実施例を説明したが、本発明は上記実施例に限られることなく種々の変形が可能である。例えば、排他的論理和回路を多入力排他的論理和ゲートで構成する代りに、読出専用メモリ(ROM)で構成することも、本発明の主旨を逸脱しない限り適用できることは勿論である。

【0018】

【発明の効果】以上説明したように本発明は、1語のデータに含まれる複数の指定ビットに対する排他的論理和演算は、データ用のレジスタへのデータ書込みによって自動的に行われるため、プログラムステップ数が少なく高速な演算が可能となり、さらに排他的論理和演算手段の演算結果を一時格納する補助用のレジスタを有してい

るため1語を越える長さのリニアフィードバックシフトレジスタもプログラムで構成しやすいマイクロコンピュータを簡単な回路の付加で構成できるという効果がある。

【図面の簡単な説明】

【図1】本発明のマイクロコンピュータの一実施例を示すブロック図である。

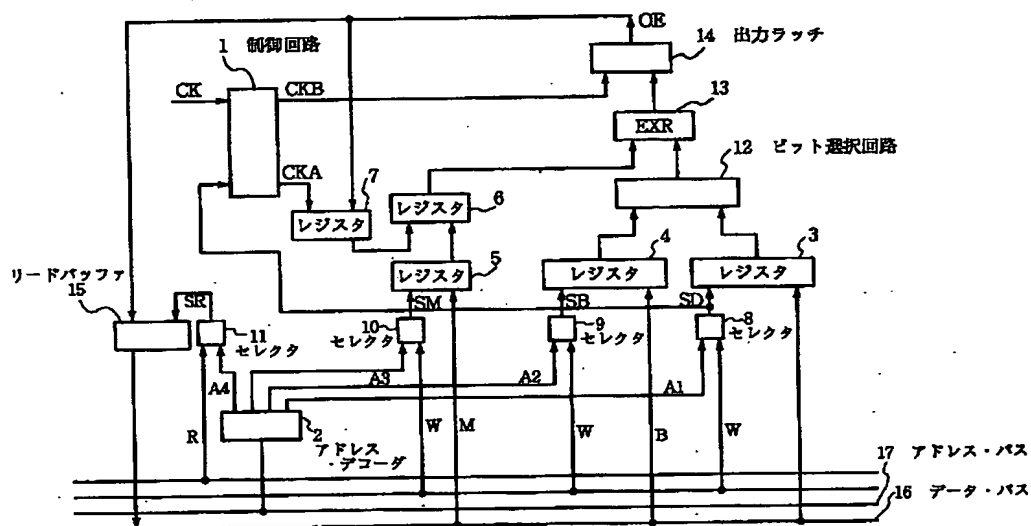
【図2】本実施例のマイクロコンピュータにおける動作の一例を示すフローチャートである。

【図3】リニアフィードバックシフトレジスタの一例を示すブロック図である。

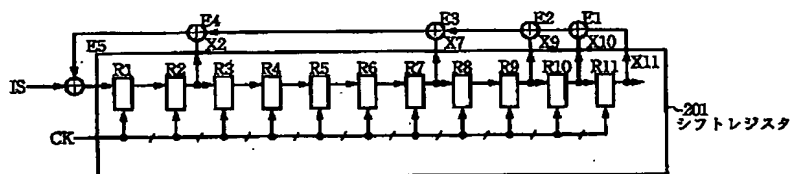
【符号の説明】

- 1 制御回路
- 2 アドレスデコーダ
- 3～5, 7, R1～R11 レジスタ
- 6, 8～11 セレクタ
- 12 ビット選択回路
- 13, E1～E5 EXR
- 14 出力ラッチ
- 15 リードバッファ
- 16 データバス
- 17 アドレスバス
- 201 シフトレジスタ

【図1】



【図3】



【図 2】

